



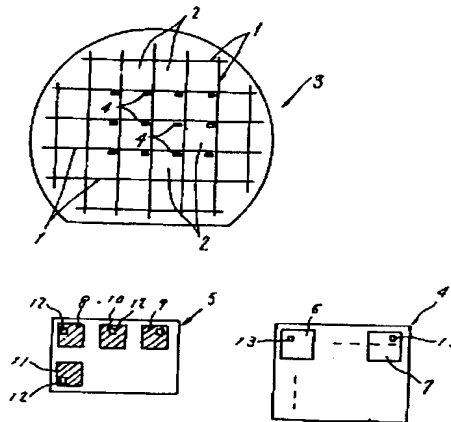
## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **58070528 A**(43) Date of publication of application: **27.04.83**(51) Int. Cl. **H01L 21/30**(21) Application number: **56168708**(22) Date of filing: **23.10.81**(71) Applicant: **HITACHI LTD**(72) Inventor: **MEGURO HIDEO  
YOSHIZAKI KAZUO****(54) SEMICONDUCTOR DEVICE AND MANUFACTURE  
THEREOF****(57) Abstract:**

**PURPOSE:** To contrive working-hour reduction and the improvement of alignment accuracy and to reduce alignment miss by a method wherein auxiliary patterns used at the time of mask alignment are provided at a chip side and a mask pattern used at the time of treatment is easily and positively selected.

**CONSTITUTION:** Alignment wafer patterns 4 for the mask used at each treatment process are provided at the peripheral position of each chip 2 of a semiconductor wafer 3 having many semiconductor chips 2 partitioned by scribe lines 1. When separate masks are used at each process, a mask pattern 5 is provided and opaque patterns 8W11 responding to each pattern 6, 7 of the pattern 4 at a wafer side are provided respectively. Transparent auxiliary patterns 12 are previously formed at the predetermined positions of the respective patterns 8W11. Each pattern 6, 7 responding to the patterns at a mask side is provided at the patterns 4 of the wafer 3 and auxiliary patterns 13 are respectively formed at predetermined positions by responding to the auxiliary patterns 12 to easily and positively select the mask pattern 5.

COPYRIGHT: (C)1983,JPO&amp;Japio



(2)

⑯ 日本国特許庁 (JP)

⑰ 特許出願公開

⑫ 公開特許公報 (A)

昭58—70528

⑤ Int. Cl.<sup>3</sup>

H 01 L 21/30

識別記号

庁内整理番号

7131—5F

⑬ 公開 昭和58年(1983)4月27日

発明の数 2

審査請求 未請求

(全 4 頁)

⑭ 半導体装置及びその製造方法

⑰ 発明者 吉崎和夫

小平市上水本町1450番地株式会  
社日立製作所武蔵工場内

⑱ 特 願 昭56—168708

⑲ 出 願 昭56(1981)10月23日

⑳ 発 明 者 目黒英男

小平市上水本町1450番地株式会  
社日立製作所武蔵工場内

㉑ 出 願 人

株式会社日立製作所  
東京都千代田区丸の内1丁目5  
番1号

㉒ 代 理 人 弁理士 薄田利幸

# 明 細 書

発明の名称 半導体装置及びその製造方法

特許請求の範囲

1. 所定の半導体素子が設けられた半導体チップの周辺位置に規則的に配列された多数のパターンが形成され、このパターン部が前記半導体チップの各処理時におけるマスク合せ用として用いられると共に、各パターンにはマスク選択用に用いられた補助パターンが形成されていることを特徴とする半導体装置。
2. 所定の半導体素子を設けるべき半導体チップの周辺位置にその各処理時におけるマスク合せ用のパターン部を形成し、このパターン部に対応したパターン部を有するマスクを前記半導体チップ上に配置し、この際前記両パターン部に各処理時のマスク選択用の補助パターンを予め夫々形成して、これら両補助パターンも互いに一致せしめるようにしてマスク合せを行なうことを特徴とする半導体装置の製造方法。

# 発明の詳細な説明

本発明は半導体装置、特に多数の処理工数を必要とするI/O、及びその製造方法に関するものである。

I/Oを製造するに際し、種々の素子パターンを作成するためにフォトリソットの露光を何段階かで行なう必要があり、各段階で所要のマスクを選択しなければならない。このため、半導体ウエハをスクライブラインによって各チップに分画し、夫々のチップの周辺位置にマスク合せ用のパターン(例えば矩形パターン)を設け、これに対応してマスク側にも合せ用パターンを設けることができる。

しかしながら、本発明者が検討したところ、上記の如きチップ—マスク間の合せ方式(アラインメント)は次のような問題点があることが判明した。即ち、マスク側には形成すべき素子パターンの関係で類似した合せパターンを複数個設けるのが普通であるから、これらの複数パターンの何れに対してチップ側のパターンを合わせるべきかが判

別困難となってしまう。従って、アラインメント上のミスを防ぐために、チップ周辺の形状やスクライブラインを目安として、合せるべきマスク側のパターンを判断せざるを得ない。これでは、アラインメントに要する時間が長くなり、しかもパターンの合せ間違いがどうしても生じてしまう。

従って、本発明の目的は、上記の如きアラインメントを迅速かつ精度良く行なえるチップからなる半導体装置を提供し、かつそのアラインメントを確実に行なえる方法を提供することにある。

以下、本発明の実施例を図面について詳細に説明する。

第1図は、スクライブライン1で区画された多数の半導体チップ2（一部のみが示されている）を有する半導体ウエハ3を示すものである。各チップ2の周辺位置には、各処理工程に用いるマスクに対する合せ（アラインメント）用のパターン部4が夫々設けられる。

一方、各処理工程には別々のマスクが使用されるが、その1つのマスクには例えば第2図に示す

如きパターン部5が設けられる。このパターン部は拡大して示されているが、第3図に拡大図示したウエハ側のパターン部4の各パターン6、7…に対応した不透明パターン8、9、10、11…を夫々有している。そしてこれらのパターンには、左上、右上、中上、左下等に予め透明の補助パターン12が夫々形成されている。また、ウエハのチップ側のパターン部4においては、マスク側のパターンに対応した各パターン6、7…が設けられているが、これらには上記補助パターン12に対応して夫々左上、右上等に補助パターン13が形成されている。

従って、アラインメントに際しては、チップ2の例えばパターン6をマスクの例えばパターン8に合せる必要がある場合、これら両パターンには予め一致した位置に補助パターン12、13が形成されているために、互いに合せるべきパターンがすぐに判別可能となり、第4図に示す如きアラインメント状態に迅速かつ正確にセットすることができる。他のパターンの各補助パターン12は

パターン6のものと異なった位置に設けられているから、合せ間違いが生じる恐れがなくなる。

なお、第4図の如くに位置合せされた状態で例えば露光処理すれば、第1図の各チップ2の素子領域に対し、上記の如くして選別されたマスクパターン8に対応するフォトリソットの感光パターンを形成することができる。チップ周辺のパターン部4においては、第4図の状態では露光処理されるために、斜線を引いたパターン8～11下の非露光部は現像処理後エッチングで除去され、パターン8～11の輪郭がチップ2側へ転写されることになる。また、次の処理時には、チップ2の例えばパターン7をマスクの例えばパターン9に合せればよく、この際同一位置の補助パターン13、12をガイドとして上記したと同様に合せ、マスクの選択を行なえばよい。

このようにして、各処理工程を経ることにより最終的にチップ2のパターン部4には、マスク側の各パターン8～11等と共にその補助パターン12が転写されることになる。この転写パターン

は第3図の6、7のように予めチップ側にも設けておいてもよい。最終的なチップは従って、上記した同形のパターン6、7…と共にマスク選択用の補助パターンも有する独特のパターン部4を具備したものとなっている。

第5図は、マスク合せ時の両パターン部4及び5の位置合せ状態を示すものである。図中、円形部分14は顕微鏡で見える部分であり、中央のライン15の左右にマスクのパターン部5が同一形状に一致見えるようになっている。この状態で、マスク下に配したウエハを僅かに移動させると、チップのパターン6が矢印15方向へ移動し、上記した補助パターン12、13を目安として選択すべきマスクパターン8にチップパターン6を容易に合せることができる。このため、作業者は、各マスクパターン8～11等の周辺形状がすべて同じであっても、補助パターンの位置さえ認識しておけば、所望のマスクパターンに確実に合せることができる。従って、既述した如くスクライブラインを基準にして合せる必要が全くなく、また

スクライプラインが見えない状況下でも容易かつ正確なアラインメントが可能となる。

次に、第7図～第8図について、具体的なアラインメントの一例を説明する。

まず第6A図のようなパターン18、19、20を有するマスクパターン部25を用意し、またウエハ側には第7A図のようなパターン16と補助パターン23とを有するパターン部24を設けておく。この場合、マスクパターンのうちパターン18のみに補助パターン22を設け、他には設けておかない。また、ウエハパターンは16のみに設け、他には補助パターン23のみを設けておき、一点鎖線で示す位置にマスクパターン19、20がくるようにしておく。

そして第8A図のように、ウエハパターン16をマスクパターン18に合せて処理すると、ウエハ側には第7B図に示す如きパターンが転写されることになる。

次いで第6B図のようなパターン28、29、30、31を有し、パターン29のみに補助パ

ターン32を設けたマスクパターン35に対し第7B図のウエハパターンを合せる。このとき、ウエハ側には上記マスクパターン19、20が転写されており、これらのパターン内に上記補助パターン23が所定位置に存在しているために、補助パターン32、23を目安として第8B図のようにウエハパターン19をマスクパターン29に正確に合せることができる。この状態で処理すれば、ウエハ側にはパターン31が新たに転写されることになり、上記パターン20と共に別の処理時のマスクパターンに対し補助パターン23の位置を目安としてアラインメント可能となる。

このように、基本パターンとなるマスクパターンは第6A図の如き形状となし、ウエハ側には第7A図の如く合せパターン以外に補助パターン23のみを設けておけば、以降の処理工程後に新たな合せパターンを順次形成できることになる。これとは逆に、最初からすべての合せパターンを設けるようにすれば、後の工程後にそのパターンと新たに生じたパターンとが僅かではあるがずれ

て形成されてしまい、何重にも重なり合うことになるから、それ以降の工程でのアラインメントを行ないずらくなる。但、原理的には、最初からすべての合せパターンを設けておいてもよいが、例えば補助パターンを設けないときにはパターン16と同様のパターンのみを配しておくことができる。

以上、本発明を例示したが、上述の例は本発明の技術的思想に基いて更に変形が可能である。例えば、上述の合せパターンの形状は種々変更でき、補助パターンも上述の小矩形状に限らず数字や記号形状としてよいことは勿論である。また、マスクパターンを上述とは逆パターン（透明部分を矩形状）にすることもできるが、この場合は不透明部分で囲まれた矩形状透明部分の内側にウエハパターンがくるように位置合せし、露光処理後には上記透明部分にのみフォトリソが残るようにしてよい。また、本発明は種々のデバイスや処理工程に適用できる。

本発明は、上述した如く、チップ側にマスク合

せ時の補助パターンを設けているので、処理時に用いるマスクパターンを容易かつ確実に選択でき、作業時間の短縮、合せ精度の向上、合せミスの減少等を達成することができる。しかも、マスクパターンにも上記に対応する補助パターンを設けて合せ作業を行なっているから、パターンが複数あっても所要のパターンを補助パターンをガイドとして一目で識別でき、上記した顕著な効果を再現性良く実現できる。

#### 図面の簡単な説明

図面は本発明の実施例を示すものであって、第1図は半導体ウエハの平面図、第2図はマスクパターンの平面図、第3図はウエハパターンの平面図、第4図はアラインメント状態の平面図、第5図はアラインメント時の操作状態の概略平面図、第6A図は基本となるマスクパターンの具体例の平面図、第7A図はそのマスクパターンに合せるべきウエハパターンの平面図、第8A図は両パターンのアラインメント状態の平面図、第6B図は次工程に用いるマスクパターンの平面図、第7B

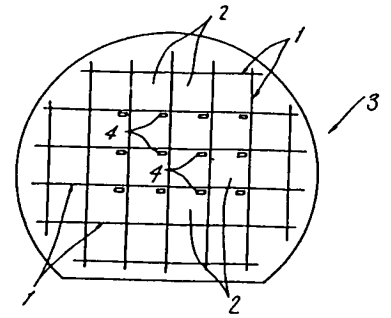
図は第8A図のアラインメント後の処理で得られたウェハパターンの平面図、第8B図は第6B図及び第7B図の両パターンのアラインメント状態の平面図である。

なお、図面に用いられている符号において、2は半導体チップ、4及び24はウェハパターン、5、25及び35はマスクパターン、12、13、23及び32は補助パターンである。

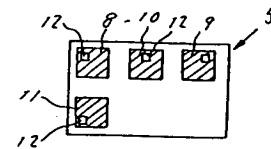
代理人 弁理士 薄田利幸



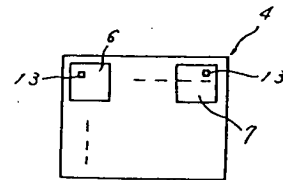
第1図



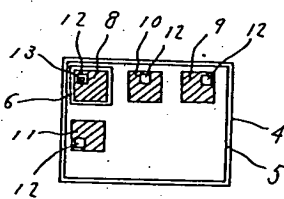
第2図



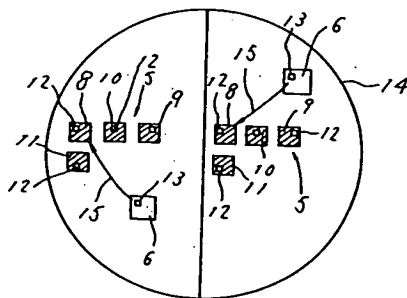
第3図



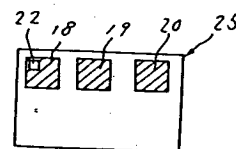
第4図



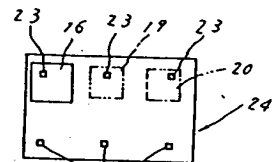
第5図



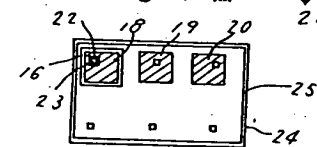
第6A図



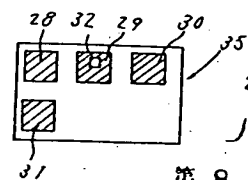
第7A図



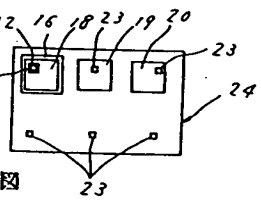
第8A図



第6B図



第7B図



第8B図

